

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-334311**

(43)Date of publication of application : **02.12.1994**

(51)Int.Cl. H05K 3/24
H05K 3/18

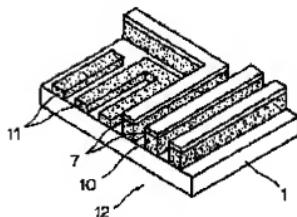
(21)Application number : **05-115747** (71)Applicant : **YAZAKI CORP**

(22)Date of filing : **18.05.1993** (72)Inventor : **OSHIMA TAKESHI**

(54) MANUFACTURE OF CIRCUIT BODY

(57)Abstract:

PURPOSE: To provide a manufacturing method of a circuit body wherein a large current circuit and a small current circuit which are different in thickness can be effectively formed.



CONSTITUTION: Excepting a large current forming part, plating resist is stuck on a

conducting layer formed on the surface of a board 1. High speed electrolytic plating layer is laminated on the large current circuit forming part on the conducting layer. First etching resist 7 is stuck on the high speed electrolytic plating layer. The plating resist is peeled by etching, and the conducting layer is exposed. Second etching resist is stuck on a small current circuit forming part on the conducting layer. Excepting the part position on which the second etching resist and the first etching resist are stuck, the conducting layer is peeled by etching, and a large current circuit 10 and a small current circuit 11 which are different in film thickness are formed. Electrolytic solder plating may be used as the etching resist.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-334311

(43)公開日 平成6年(1994)12月2日

(51)Int.Cl.⁵

H 0 5 K
3/24
3/18

識別記号 序内整理番号

A 7511-4E
J 7511-4E

P I

技術表示箇所

(21)出願番号

特願平5-115747

(22)出願日

平成5年(1993)5月18日

審査請求 未着求 普求項の数2 O.L (全4頁)

(71)出願人 000006895

矢崎總業株式会社
東京都港区三田1丁目4番28号

(72)発明者 大島 誠

静岡県裾野市御宿1500 矢崎總業株式会社
内

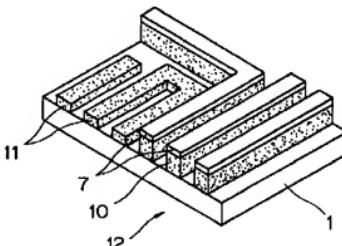
(74)代理人 弁理士 萩野 秀雄 (外1名)

(54)【発明の名称】 回路体の製造方法

(57)【要約】

【目的】回路基板に厚みの異なる大電流回路と小電流回路とを効率的に形成させ得る回路体の製造方法を提供する。

【構成】 基板1表面に形成された導電層上に大電流回路予定部を除きメッキレジストを被着させ、導電層上の大電流回路予定部に高速電解メッキを積層させ、高速電解メッキ上に第一エッチングレジスト7を被着させ、メッキレジストをエッティングにより剥離して導電層を露出させ、導電層上の大電流回路予定部に第二エッチングレジストを被着させ、導電層を第二エッチングレジストと第一エッチングレジストとに被着された部位を除去してエッティングにより剥離させて、膜厚の異なる大電流回路10と小電流回路11とを形成させる。前記エッチングレジストとして電解ハンダメッキを使用してもよい。



【特許請求の範囲】

【請求項1】 基板表面に形成された導電層上に大電流回路予定部を除きメッキレジストを被着させ、該導電層上の該大電流回路予定部に高速電解メッキを積層させ、該高速電解メッキ上に第一エッチングレジストを被着させ、該メッキレジストをエッチングにより剥離して該導電層を露出させ、該導電層上的小電流回路予定部に第二エッティングレジストを被着させ、該導電層を該第二エッティングレジストと該第一エッティングレジストとに被着された部位を除いてエッチングにより剥離させて、厚膜の異なる大電流回路と小電流回路とを形成させることを特徴とする回路体の製造方法。

【請求項2】 前記エッティングレジストとして電解ハンドメッキを使用した請求項1記載の回路体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路基板に厚みの異なる大電流回路と小電流回路とを形成させる回路体の製造方法に関するものである。

【0002】

【従来の技術】 図11～13は、特開昭60-18218号公報に記載された従来の回路体の製造方法を示すものである。この製造方法は、絶縁基板1の表面に予め形成された銅箔層を図11の如く回路部1、17を除いてエッチングにより剥離させ、信号用の小電流回路17はそのままにして電源用の大電流回路16に遮蔽板18を被着させ、該絶縁基板15上に図12の如くエポキシ絶縁樹脂19を充填して該小電流回路17を該絶縁樹脂19で埋没させた後に該遮蔽板18を外し、該大電流回路16上に無電解メッキ20を施して大電流回路16を厚膜化させ、最後に該絶縁樹脂19を取り除いて図13の如く薄膜の小電流回路17と厚膜の大電流回路16'を有する回路体21を完成させるものである。

【0003】 しかしながら、上記従来の製造方法にあっては、各種回路体21の大電流回路パターンに合う形状の遮蔽板18を一々作製しなければならず、遮蔽板18の汎用性に乏しく生産効率が悪いという問題や、無電解メッキ20の析出速度が0.1 μm/min程度と遅いため、大電流回路16を厚膜化させるのに多くの時間を要するという問題があった。

【0004】

【発明が解決しようとする課題】 本発明は、上記した点に鑑み、遮蔽板を用いることなく、厚膜の大電流回路と薄膜の小電流回路とを効率的に形成することのできる回路体の製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達成するため、本発明は、基板表面に形成された導電層上に大電流回路予定部を除きメッキレジストを被着させ、該導電層上の該大電流回路予定部に高速電解メッキを積層させ、

該高速電解メッキ上に第一エッティングレジストを被着させ、該メッキレジストをエッチングにより剥離して該導電層を露出させ、該導電層上の小電流回路予定部に第二エッティングレジストを被着させ、該導電層を該第二エッティングレジストと該第一エッティングレジストとに被着された部位を除いてエッチングにより剥離させて、厚膜の異なる大電流回路と小電流回路とを形成させる回路体の製造方法を基本特徴とする。

【0006】

10 【作用】 導電層上にメッキレジストを被着させて大電流回路予定部が溝にパターン形成される。そしてこの溝内に高速電解メッキが施されて大電流回路がパターン化される。該高速電解メッキ上に被着された第一エッティングレジストはメッキレジストのエッチングの際に高速電解メッキを保護する。そして導電層のエッティングにより導電層上の第二エッティングレジストのパターン形状に導電層の小電流回路が形成されると共に、高速電解メッキ下側の導電層が残存されて厚膜の大電流回路が形成される。

【0007】

【実施例】 図1～10は本発明に係る回路体の製造方法の一実施例を示すものである。この製造方法は、先ず図1の如くガラスエポキシ樹脂等の絶縁基板1の表面に導電層としての銅箔(35～70 μm)2を貼りさせ、図2の如く電源回路用等の大電流回路予定部3を除き該銅箔2上にUV硬化型レジスト剤等のメッキレジスト層4を印刷により被着させる。該大電流回路予定部3はメッキレジスト層4内に溝状にパターン形成される。

30 【0008】 次いで図3の如く該大電流回路予定部3すなわち銅箔露出生部上に高速電解メッキ5を施し積層させる。該高速電解メッキ5は図9の如く予め基板1上に電極6を形成させておき、陰極と陽極との間に10～80 A/dm²の電流密度で通電し、10 μm/min程度の高速で金属導体(Cu)7を析出させるものである。

【0009】 図4の如く該電解メッキ5上には第一のエッティングレジストとしてのハンダメッキ7を施す。該ハンダメッキ7は電解メッキにより2～3 μm厚を数秒で析出せ得る。そして図5の如くアルカリ液等を用いてメッキレジスト層4をエッティングし剥離させる。電解メッキ5はハンダメッキ7によりエッティングの影響を受けない。

【0010】 さらに図6の如く露出した銅箔2上の信号回路用等の小電流回路予定部8に第二のエッティングレジスト9を印刷等によりパターン形成させる。該第二のエッティングレジスト9として上記第一のエッティングレジスト7と同様のハンダメッキを用いてもよい。なおエッティングレジスト7、9を印刷するよりもハンダを電解メッキで付着させる方が工程が容易で印刷ムラもなくむしろ好ましい。

50 【0011】 そして図7の如くエッティングレジスト(ハ

ンダメッキ) 7, 9を被着させた部位を除いて銅箔2をエッチングにより剥離させる。その結果、絶縁基板1上に厚膜の大電流回路10と薄膜の小電流回路11が形成される。最後に図8の如くエッチングレジスト9を除去し、回路10, 11表面にUV硬化型レジスト等の図示しない絶縁コーティングをスプレー等により被着させ、前述の電極部6'を切り離して図10のような膜厚の異なる二種の回路10, 11を有する回路体1を得る。

【0012】

【発明の効果】以上の如くに、本発明によれば、銅箔等の導電層上に高速電解メッキにより大電流回路を形成させ得るから、従来の無電解メッキに較べて製造時間が大幅に短縮される。また汎用性に乏しい遮蔽板が不要であるから種類の異なる回路体の生産効率がアップする。さらに大電流回路をバターン形成した後で該導電層をエッチングにより剥離させて小電流回路を残存形成させるから、回路設計の自由度が拡がる。

【図面の簡単な説明】
【図1】本発明の回路体の製造方法において絶縁基板に銅箔を貼着した状態を示す縦断面図である。

【図2】同じく銅箔上に大電流回路予定部を除きメッキレジストを被着させた状態を示す縦断面図である。

【図3】同じく大電流回路予定部に電解メッキを被着させた状態を示す縦断面図である。

【図4】同じく電解メッキ上にエッチングレジストを被着させた状態を示す縦断面図である。

* 【図5】同じくメッキレジストを剥離させた状態を示す縦断面図である。

【図6】同じく銅箔上の大電流回路予定部にエッチングレジストを被着させた状態を示す縦断面図である。

【図7】同じく銅箔を剥離させて大電流回路と小電流回路とを形成させた状態を示す縦断面図である。

【図8】回路上のエッチングレジストを剥離させた状態を示す縦断面図である。

【図9】前記大電流回路を形成する電解メッキ用の電極を形成した状態を示す平面図である。

【図10】完成した回路体を示す斜視図である。

【図11】従来の製造方法において回路上に遮蔽板を被着させる状態を示す分解斜視図である。

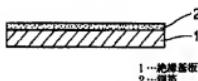
【図12】同じく基板上に絶縁樹脂を充填して遮蔽板を取り外した状態を示す分解斜視図である。

【図13】同じく無電解メッキにより大電流回路を厚膜化させた状態を示す斜視図である。

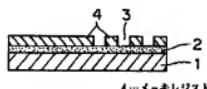
【符号の説明】

- | | |
|------|-----------|
| 1 | 絶縁基板 |
| 2 | 銅箔 |
| 3 | 大電流回路予定部 |
| 4 | メッキレジスト |
| 5 | 高速電解メッキ |
| 7, 9 | エッチングレジスト |
| 8 | 小電流回路予定部 |
| 10 | 大電流回路 |
| 11 | 小電流回路 |

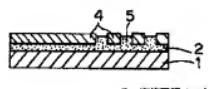
【図1】



【図2】



【図3】



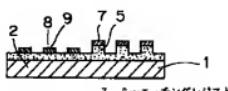
【図4】



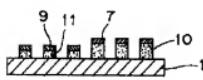
【図5】



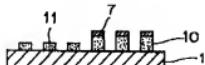
【図6】



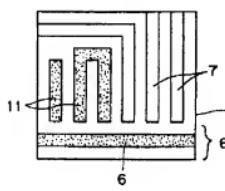
【図7】



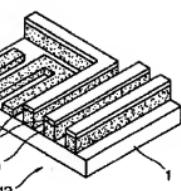
【図8】



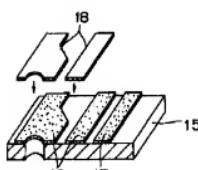
【図9】



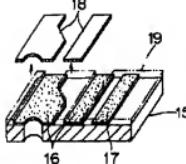
【図10】



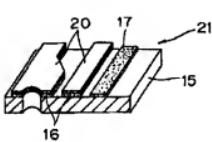
【図11】



【図12】



【図13】



[JP,06-334311,A]

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the manufacturing method of the circuit body in which the high current circuit which differs in thickness in the circuit board, and a small current circuit are made to form.

[0002]

[Description of the Prior Art]Drawing 11 - 13 show the manufacturing method of the conventional circuit body indicated to JP,60-182188,A. This manufacturing method makes the copper foil coat beforehand formed in the surface of the insulating substrate 15 exfoliate by etching except for the circuit parts 16 and 17 like drawing 11, Leave the small current circuit 17 for signals as it is, and the high current circuit 16 for power supplies is made to laminate the shield 18, After being filled up with the epoxy insulating resin 19 and making this small current circuit 17 buried with this insulating resin 19 like drawing 12 on this insulating substrate 15, this shield 18 is removed, Perform electroless deposition 20 on this high current circuit 16, the high current circuit 16 is made to thick-film-ize, and the circuit body 21 which finally removes this insulating resin 19 and has the small current circuit 17 of a thin film and high current circuit 16' of a thick film like drawing 13 is completed.

[0003]However, if it is in the above-mentioned conventional manufacturing method, Since the problem [the shield 18 of the shape suitable for the high current circuit pattern of the various circuit bodies 21 must be produced one by one, and] that it is lacking in the flexibility of the shield 18, and productive efficiency is bad, and the deposition rate of the electroless deposition 20 are as slow as about 0.1 micrometer/min, There was a problem that making the high current circuit 16 thick-film-ize took much time.

[0004]

[Problem(s) to be Solved by the Invention]An object of this invention is to provide the manufacturing method of the circuit body which can form efficiently the high current circuit of a thick film, and the small current circuit of a thin film, without using a shield in view of the above-mentioned point.

[0005]

[Means for Solving the Problem]To achieve the above objects, this invention makes plating resist laminate except for a high current circuit schedule part on a conductive layer formed in a substrate face, Make this high current circuit schedule part on this conductive layer laminate high-speed electrolytic plating, and the first etching resist is made to laminate on this high-speed electrolytic plating, Exfoliate this plating resist by etching and this conductive layer is exposed, The second etching resist is made to laminate on a small current circuit schedule part on this conductive layer, It is made to exfoliate by etching except for a part on which this conductive layer was laminated by this second etching resist and this first etching resist, and a

manufacturing method of a circuit body in which a high current circuit which differs in thickness, and a small current circuit are made to form is characterized by foundations. [0006]

[Function] Plating resist is made to laminate on a conductive layer, and pattern formation is carried out to the shape of a high current circuit schedule part fang furrow. And high-speed electrolytic plating is performed to this Mizouchi, and a high current circuit is patternized. The first etching resist laminated on this high-speed electrolytic plating protects high-speed electrolytic plating in the case of etching of plating resist. And the small current circuit of a thin film is formed in the pattern shape of the second etching resist on a conductive layer by etching of a conductive layer, and the conductive layer of the high-speed electrolytic plating bottom remains, and the high current circuit of a thick film is formed.

[0007]

[Example] Drawing 1 - 10 show one example of the manufacturing method of the circuit body concerning this invention. This manufacturing method makes the copper foil (35-70 micrometers) 2 as a conductive layer stick on the surface of the insulating substrates 1, such as glass epoxy resin, and makes the plating resist layers 4, such as a UV curing type resist agent, laminate [first] by printing on this copper foil 2 except for the high current circuit schedule parts 3 for power supply circuits etc. like drawing 2 like drawing 1. Pattern formation of this high current circuit schedule part 3 is carried out to a groove into the plating resist layer 4.

[0008] Subsequently, the high-speed electrolytic plating 5 is made to perform and laminate like drawing 3 on this high current circuit schedule part 3, i.e., a copper foil exposed part. Like drawing 9, this high-speed electrolytic plating 5 makes the electrode 6 form on the substrate 1 beforehand, is energized with the current density of 10 - 80 A/dm² between the negative pole and the anode, and deposits a metallic conductor (Cu) at the high speed of about 10 micrometer/min.

[0009] On this electrolytic plating 5, the solder plate 7 as the first etching resist is given like drawing 4. This solder plate 7 may deposit 2 - 3 mum thickness in several seconds by electrolytic plating. And the plating resist layer 4 is etched and is made to exfoliate using lye etc. like drawing 5. The electrolytic plating 5 is not influenced by etching by the solder plate 7.

[0010] Furthermore, pattern formation of the second etching resist 9 is carried out to the small current circuit schedule parts 8 for the signal circuits on the exposed copper foil 2 etc. by printing etc. like drawing 6. The same solder plate as the first etching resist 7 of the above may be used as this second etching resist 9. A process is made easier [it / for solder to adhere in electrolytic plating], there is also no printing unevenness, and it is more desirable than printing the etching resist 7 and 9 rather.

[0011] And the copper foil 2 is made to exfoliate by etching except for the part on which the etching resist (solder plate) 7 and 9 was made to laminate like drawing 7. As a result, the high current circuit 10 of a thick film and the small current circuit 11 of a thin film are formed on the insulating substrate 1. Finally the circuit body 12 which has two sorts of circuits 10 and 11 which remove the etching resist 9, make insulating coating which UV curing type resist etc. do not illustrate laminate on the circuit 10 and the 11 surface with a spray etc., and separate above-mentioned polar-zone 6', and where thickness like drawing 10 differs is obtained like drawing 8.

[0012]

[Effect of the Invention] Since a high current circuit may be made to form by high-speed electrolytic plating on conductive layers, such as copper foil, like the above according to this invention, compared with the conventional electroless deposition, production time is shortened substantially. Since the shield lacking in flexibility is unnecessary, the productive efficiency of

the circuit body from which a kind differs rises. Since this conductive layer is made to exfoliate by etching and residual formation of the small current circuit is carried out after carrying out pattern formation of the high current circuit furthermore, the flexibility of a circuit design spreads.

CLAIMS

[Claim(s)]

[Claim 1]Plating resist is made to laminate except for a high current circuit schedule part on a conductive layer formed in a substrate face, Make this high current circuit schedule part on this conductive layer laminate high-speed electrolytic plating, and the first etching resist is made to laminate on this high-speed electrolytic plating, Exfoliate this plating resist by etching and this conductive layer is exposed, The second etching resist is made to laminate on a small current circuit schedule part on this conductive layer, A manufacturing method of a circuit body making it exfoliate by etching except for a part on which this conductive layer was laminated by this second etching resist and this first etching resist, and making a high current circuit which differs in thickness, and a small current circuit form.

[Claim 2]A manufacturing method of the circuit body according to claim 1 which uses an electrolysis solder plate as said etching resist.